

Docket No.: GR 98 P 2610



#5

I hereby certify that this correspondence is being deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to: Assistant Commissioner for Patents, Washington, D.C. 20231.

By: 

Date: December 8, 1999

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant : Armin Mrasek  
Appl. No. : 09/398,689  
Filed : September 20, 1999  
Title : Method and Configuration for Transmitting Digital Data

CLAIM FOR PRIORITY

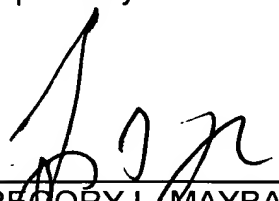
Hon. Commissioner of Patents and Trademarks,  
Washington, D.C. 20231

Sir:

Claim is hereby made for a right of priority under Title 35, U.S. Code, Section 119, based upon the German Patent Application 198 42 849.9 filed September 18, 1998.

A certified copy of the above-mentioned foreign patent application is being submitted herewith.

Respectfully submitted,

  
\_\_\_\_\_  
GREGORY L. MAYBACK  
REG. NO. 40,719

Date: December 8, 1999

Lerner and Greenberg, P.A.  
Post Office Box 2480  
Hollywood, FL 33022-2480  
Tel: (954) 925-1100  
Fax: (954) 925-1101

/xdj

**THIS PAGE BLANK (USPTO)**

# BUNDESREPUBLIK DEUTSCHLAND



**CERTIFIED COPY OF  
PRIORITY DOCUMENT**

## **Bescheinigung**

Die Siemens Aktiengesellschaft in München/Deutschland hat eine Patentanmeldung  
unter der Bezeichnung

**"Verfahren und Anordnung zum Übertragen von digitalen Daten"**

am 18. September 1998 beim Deutschen Patent- und Markenamt eingereicht.

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

Die Anmeldung hat im Deutschen Patent- und Markenamt vorläufig die Symbole  
H 04 L und H 04 M der Internationalen Patentklassifikation erhalten.

München, den 27. September 1999

**Deutsches Patent- und Markenamt**

**Der Präsident**

Im Auftrag

Hiel

Aktenzeichen: 198 42 849.9

**THIS PAGE BLANK (USPTO)**

## Beschreibung

## Verfahren und Anordnung zum Übertragen von digitalen Daten

5 Die Erfindung betrifft ein Verfahren zum Übertragen von digitalen Daten, die in Datenrahmen variabler Länge eingeteilt sind, von einem ersten Datenbus auf einen zweiten Datenbus nach den Patentansprüchen 1 und 3. Die Erfindung betrifft  
10 ferner eine Anordnung zum Übertragen von digitalen Daten nach dem Oberbegriff von Patentanspruch 5.

Das ISDN (Integrated Services Digital Network) stellt jedem Teilnehmer zwei sogenannte B-Kanäle zur Kommunikation mit anderen Teilnehmern zur Verfügung, sowie einen sogenannten D-Kanal,  
15 um mit dem ISDN-Netzwerk Signalisierungen bezüglich einer gewünschten Verbindung auszutauschen. Während das ISDN den Teilnehmern bei der Kommunikation in den B-Kanälen keine Datensicherung gewährleistet, erfordert das ISDN für den D-Kanal eine Datensicherung entsprechend den Anforderungen der  
20 Schicht 2 des ISO-OSI-Schichtenmodells (International Standardisation Organisation/Open Systems Interconnection Model). Bei ISDN wird hierzu das HDLC-Protokoll (High Level Data Link Control) eingesetzt.

25 In den Endgeräten und den Netzschnittstellen-Vorrichtungen für ISDN sind daher HDLC-Steuereinrichtungen vorgesehen, die die Datensicherungsinformation eines empfangenen D-Kanalrahmens prüfen und die einem zu sendenden D-Kanalrahmen eine Sicherungsinformation hinzufügen. Die Anmelderin vertreibt derartige Steuereinrichtungen unter der Produktbezeichnung PEB  
30 2070 als integrierte Halbleiterbauelemente.

Ein eingehendes D-Kanalsignal wird einer HDLC-Empfängerlogik zugeführt, die die Sicherungsinformation des empfangenen D-Kanalsignals prüft. Das Ausgangssignal der HDLC-  
35 Empfängerlogik wird einem FIFO-Speicher fester Größe zugeführt. Ein Mikroprozessor entnimmt dem FIFO-Speicher block-

weise die darin enthaltenen Daten. In Senderichtung schreibt der Mikroprozessor blockweise Daten in einen FIFO-Sendespeicher. Eine HDLC-Sendelogik entnimmt dem FIFO-Sendespeicher die darin enthaltenen Daten, fügt einem vollständigen D-Kanalrahmen eine Sicherungsinformation hinzu, und gibt das so erhaltene D-Kanalsignal aus.

Die prinzipiellen Vorgänge in Sende- und Empfangsrichtung bei den aus dem Stand der Technik bekannten Bauelementen sind in den Figuren 6a und 6b dargestellt. Die Figuren 6a und 6b zeigen den zeitlichen Ablauf von Signalen zwischen einer HDLC-Empfangsleitung, einem HDLC-Empfänger, der einen FIFO-Empfängerspeicher aufweist, einem Mikroprozessor, einem HDLC-Sender, der einen FIFO-Sendespeicher aufweist, und einer HDLC-Sendeleitung. Wenn an der HDLC-Empfangsleitung Daten eingehen, werden diese zunächst in den FIFO-Empfangsspeicher geschrieben. Wenn das Ende eines D-Kanalrahmens empfangen und in den FIFO-Empfangsspeicher eingetragen wird oder wenn der FIFO-Empfangsspeicher voll ist, sendet der HDLC-Empfänger an den Mikroprozessor ein Interrupt-Signal. Der Mikroprozessor liest daraufhin die in den FIFO-Empfangsspeicher geschriebenen Daten und bestätigt dem HDLC-Empfänger diesen Vorgang mittels eines Signals Ack. Der Mikroprozessor wertet das empfangene D-Kanalsignal aus und stellt ein zu sendendes D-Kanal-Antwortsignal zusammen. Der Mikroprozessor versichert sich mittels eines vom HDLC-Sender ausgegebenen Signals Stat, daß der FIFO-Sendespeicher bereit ist, Daten aufzunehmen. Der Mikroprozessor schreibt dann das D-Kanal-Antwortsignal in den FIFO-Sendespeicher. Der Mikroprozessor bestätigt dem HDLC-Sender mittels eines Signals Ack, daß die Daten vollständig sind. Der HDLC-Sender gibt daraufhin das D-Kanalantwortsignal auf die HDLC-Sendeleitung.

Figuren 6a und 6b zeigen die Abfolge von Empfangs- und Sendevorgängen im zeitlichen Ablauf. In Figur 6a ist ein großer FIFO-Empfangsspeicher vorgesehen. Der HDLC-Empfänger löst beim Mikroprozessor immer dann einen Interrupt Int aus, wenn

entweder der FIFO-Empfangsspeicher voll ist oder wenn die empfangenen D-Kanalsignale ein Byte aufweisen, das ein Rahmenende anzeigt. Die Länge eines D-Kanalrahmens ist variabel und kann je nach Signalisierung größer oder kleiner als die Aufnahmekapazität des FIFO-Empfangsspeichers sein. Die Figuren 6a und 6b zeigen den Fall eines sehr langen D-Kanalrahmens, der um ein Vielfaches größer als die Kapazität des FIFO-Empfangsspeicher ist. Der Mikroprozessor wird in diesem Fall erst dann zur Übernahme der Daten aus dem FIFO-Empfangsspeicher mittels des Interrupts Int veranlaßt, wenn der FIFO-Empfangsspeicher voll ist. Da der Mikroprozessor erst dann ein Antwortsignal erzeugen kann, nachdem er die Daten aus dem FIFO-Empfangsspeicher gelesen hat, dauert es die volle Länge des Lesens des ganzen FIFO-Empfangsspeichers, bis der Mikroprozessor Antwortdaten in den FIFO-Sendespeicher schreiben kann.

Die in solchen Situationen lange Antwortzeit des Mikroprozessors kann in bestimmten Teilnehmerverbindungen zu Problemen führen. Dies ist insbesondere bei Datenverbindungen zwischen den Teilnehmern der Fall. Der Empfang einer D-Kanal-Signalisierung eines ersten Teilnehmers bei einem zweiten Teilnehmer muß dabei innerhalb einer vorbestimmten Zeit dem ersten Teilnehmer quittiert werden. Falls die zulässige Antwortzeit überschritten wird, kommt es zu Störungen um Verbindungsaufbau. Um dieses Problem zu beheben, besteht eine Lösung darin, die Größe des FIFO-Empfangsspeichers zu verringern. Da auf diese Weise der FIFO-Empfangsspeicher in kürzeren Zeitabständen voll wird, wird der Mikroprozessor entsprechend früher über den Empfang eines zeitkritischen D-Kanal-Signals informiert. Die zulässige Antwortzeit kann dann eingehalten werden. Ein erheblicher Nachteil dieser Lösung besteht jedoch darin, daß die Leistung des Mikroprozessors durch die höhere Anzahl von Interrupt-Signalen herabgesetzt wird.

Das technische Problem der Erfindung besteht daher darin, eine effiziente Anordnung und ein effizientes Verfahren zum Übertragen von digitalen Daten zwischen getrennten Bussystemen bereitzustellen.

5

Das Problem wird gelöst mit einem Verfahren mit den Merkmalen von Patentanspruch 1, einem Verfahren mit den Merkmalen von Patentanspruch 3 und einer Anordnung mit den Merkmalen von Patentanspruch 5. Bevorzugte Ausgestaltungen der Erfindung sind in den jeweiligen Unteransprüchen angegeben.

10

Ein Verfahren zum Übertragen von digitalen Daten, die in Datenrahmen variabler Länge eingeteilt sind, von einem ersten Datenbus auf einen zweiten Datenbus, der asynchron zum ersten Datenbus betrieben wird und von einem Mikroprozessor gesteuert wird, weist folgende Schritte auf: Die Daten werden vom ersten Datenbus in einen Speicher mit einstellbarer Größe geschrieben. Eine Speichersteuereinheit teilt dem Mikroprozessor in Form eines Interrupt mit, wenn der Speicher voll ist oder wenn das Ende eines Datenrahmens erreicht ist. Der Mikroprozessor ermittelt von der Speichersteuereinheit die Menge der vom Speicher zu lesenden Daten. Der Mikroprozessor liest diese Daten aus dem Speicher, stellt die Größe des Speichers ein, und bestätigt der Speichersteuereinheit den Empfang des Datenblocks.

15

20

25

30

35

Mit dem Schritt des Einstellens der Größe des Speichers hat der Mikroprozessor die Möglichkeit, die Größe des zu Verfügung stehenden Datenspeichers einzustellen. Die Speichergröße wird dabei typischerweise anfänglich klein eingestellt, um nach dem Empfang des Beginns eines sehr langen Datenrahmens noch während der Übertragung des Datenrahmens auf die Maximalgröße eingestellt zu werden. Auf diese Weise kann der Mikroprozessor sehr frühzeitig und sehr kurz nach Eingang des Anfangs des langen Datenrahmens ein bestätigendes D-Kanal-Signal an den anderen Teilnehmer senden. Andererseits wird für die Übernahme der restlichen Teile des langen Datenrah-



mens eine geringere Anzahl von Interrupts beim Mikroprozessor ausgelöst, weil dieser zwischenzeitlich den zur Verfügung stehenden Speicherraum vergrößert hat. Die Leistungsfähigkeit des Mikroprozessors wird auf diese Weise nicht eingeschränkt, und es können dem anderen Teilnehmer kurze Antwortzeiten gewährleistet werden.

Es wird besonders bevorzugt, daß die Daten vor dem Speichern einer HDLC-Logik zugeführt werden, die prüft, ob die Daten korrekt empfangen wurden. Diese Vorgehensweise ist besonders vorteilhaft in einer Umgebung, in der die zu übertragenden Daten den Schicht-2-Anforderungen genügen müssen.

Ein anderes Verfahren zum Übertragen von digitalen Daten, die in Datenrahmen variabler Länge eingeteilt sind, von einem ersten Datenbus, der von einem Mikroprozessor gesteuert wird, auf einen zweiten Datenbus, der asynchron zum ersten Datenbus betrieben wird, weist die folgenden Schritte auf: Die Daten werden vom ersten Datenbus mit einstellbarer Größe geschrieben. Eine Speichersteuereinheit teilt dem Mikroprozessor in der Form eines Interrupt mit, wenn der Speicher bereit ist, neue Daten vom ersten Datenbus aufzunehmen, oder der Mikroprozessor befragt die Speichersteuereinheit, ob der Speicher bereit ist, neue Daten vom ersten Datenbus aufzunehmen. Der Mikroprozessor schreibt Daten in den Speicher, stellt die Größe des Speichers ein, und bestätigt der Speichersteuereinheit das Ende der Daten. Die Daten werden dann auf den zweiten Datenbus gelegt.

Dieses Verfahren ist besonders vorteilhaft einsetzbar für das Senden von Daten vom Mikroprozessor an einen Datenbus, der asynchron mit dem Mikroprozessor betrieben wird. Auch bei diesem Verfahren wird der Mikroprozessor mit einer geringeren Anzahl von Interrupt-Signalen belastet.

Es wird besonders bevorzugt, die Daten einer HDLC-Logik zuzuführen, bevor sie auf den zweiten Datenbus gelegt werden.

Diese HDLC-Logik fügt den vom Mikroprozessor gesendeten Daten Fehlerprüfdaten hinzu, die von einer empfangenden HDLC-Logik des fernen Verbindungsteilnehmers ausgewertet werden.

- 5 Eine Anordnung zum Übertragen von digitalen Daten, die in Datenrahmen variabler Länge eingeteilt sind, von einem ersten Datenbus auf einen zweiten Datenbus, der asynchron zum ersten Datenbus betrieben wird und von einem Mikroprozessor gesteuert und gelesen wird, weist einen Speicher auf, in den die
- 10 vom ersten Datenbus empfangenen Daten geschrieben werden. Es ist darüber hinaus eine Steuereinrichtung vorgesehen, die die Zugriffe auf den Speicher durch den ersten Datenbus und den Mikroprozessor steuert. Die Anordnung ist dadurch gekennzeichnet, daß die Größe des Speichers veränderbar ist. Darüber
- 15 hinaus ist ein erstes Register vorgesehen, in das die Größe des Speichers eintragbar ist, und es ist ein zweites Register vorgesehen, in das die Menge der gerade in den Speicher geschriebenen Daten eintragbar ist. Das erste Register ist in jedem Lesezyklus des Mikroprozessors veränderbar. Ein
- 20 derartige Anordnung weist somit einen Speicher auf, der von dem Mikroprozessor zur Verfügung stehende Größe in einem ersten Register gespeichert ist.

- 25 Eine bevorzugte Anordnung weist eine HDLC-Logik auf, die zwischen dem ersten Datenbus und den Speicher geschaltet ist. Die Anordnung ist dadurch in der Lage, Daten zu empfangen, die mit einer HDLC-Prüfinformation versehen sind.

- 30 Weitere Vorteile, Merkmale und Anwendungsmöglichkeiten der Erfindung ergeben aus der nachfolgenden Beschreibung von Ausführungsbeispielen in Verbindung mit der schematischen Zeichnung. In der Zeichnung zeigen:

- 35 Figur 1 eine Anordnung zum Senden und Empfangen von Daten;
- Figur 2 den Ablaufplan einer Mikroprozessorroutine zum Holen eines Datenblocks aus einem Empfangsspeicher;

Figur 3                    den zeitlichen Ablauf von Signalen zwischen einem Mikroprozessor und einer HDLC-Sende- und Empfangsanordnung;

5

Figuren 4a bis 4e        eine Veranschaulichung der Wirkungsweise der Erfindung;

Figur 5                    einen Ablaufplan einer Mikroprozessorroutine zum Schreiben von Daten in einen Sendespeicher;

10

Figuren 6a und 6b        den zeitlichen Verlauf von Signalübertragungen zwischen einem Mikroprozessor und einem HDLC-Sender- und Empfänger nach dem Stand der Technik.

15

In der Anordnung von Figur 1 ist ein Mikroprozessor 4 gezeigt, der über eine Leitung RFIFO, einen Empfangsspeicher 1 in der Form eines FIFO und eine HDLC-Empfangslogik 3 D-Kanal-Signale von einer Leitung 5 empfängt. In umgekehrter Richtung sendet der Mikroprozessor 4 über eine Leitung XFIFO, einen Sendespeicher 9 in der Form eines FIFO und eine HDLC-Sendelogik 6 D-Kanal-Signale auf eine Leitung 7. Die Anordnung ist Teil einer ISDN-Schaltung, die B-Kanalsignale und D-Kanalsignale von einer ISDN-Schnittstelle, wie etwa einer S- oder T-Schnittstelle, sendet und empfängt, wobei der Mikroprozessor 4 das Empfangen, das Weiterverarbeiten und das Senden von Daten steuert. Die in Figur 1 gezeigte Anordnung dient dem Senden und Empfangen von D-Kanal-Signalen, die nach den Anforderungen des ISDN einem HDLC-Protokoll unterworfen sind. Da sowohl die Empfangsleitung 5 als auch die Sendeleitung 7 unabhängig vom Mikroprozessor 4 betrieben werden, ist in Empfangs- bzw. Senderichtung jeweils ein Zwischenspeicher vorgesehen, in der die gerade empfangenen Daten bis zur Weiterverarbeitung durch den Mikroprozessor 4 zwischengespeichert werden können bzw. in der der Mikroprozessor 4 Daten

20

25

30

35

schreiben kann, um zu einem geeigneten Zeitpunkt auf die Sendeleitung 7 gelegt zu werden.

In Empfangsrichtung ist dem Empfangsspeicher 1 die HDLC-Empfangslogik 3 vorgeschaltet, in der das HDLC-Protokoll in Empfangsrichtung ausgeführt wird. In Senderichtung ist dem Sendespeicher 9 die HDLC-Sendelogik 6 nachgeschaltet, die das HDLC-Protokoll in Senderichtung ausführt. Die Zugriffe auf den Empfangsspeicher 1 und den Sendespeicher 9 werden von einer Empfangszugriffssteuerung 2 bzw. einer Sendezugriffssteuerung 8 gesteuert. Die Empfangszugriffssteuerung 2 tauscht Signale mit dem Empfangsspeicher 1 und dem Mikroprozessor 4 aus. Die Sendezugriffssteuerung 8 tauscht Signale mit dem Sendespeicher 9 dem Mikroprozessor 4 aus.

Der Empfangsspeicher 1 und der Sendespeicher 9 sind jeweils Speicherbereiche eines RAM. Der Empfangsspeicher 1 und der Sendespeicher 9 werden von der Empfangszugriffssteuerung 2 bzw. der Sendezugriffssteuerung 8 als FIFO-Speicher (first-in first-out) betrieben. Dabei ist die Größe des Empfangs-FIFO im Empfangsspeicher 1 und die Größe des Sende-FIFO im Sendespeicher 9 jeweils einstellbar.

In Figur 2 ist mit 21 der Anfang einer Mikroprozessorroutine "Get Block" bezeichnet, mit der der Mikroprozessor 4 Daten aus dem Empfangsspeicher 1 liest. In den Schritten 22 und 24 wird beim Mikroprozessor 4 durch die Empfangszugriffssteuerung 2 jeweils ein Interrupt ausgelöst. Der Interrupt RME (Receive Message End) von Schritt 22 wird dann ausgelöst, wenn der Empfangsspeicher 1 einen Eintrag enthält, der das Ende eines Datenrahmens bei der D-Kanalübertragung anzeigt. Der Interrupt RPF (Receive Pool Full) von Schritt 24 zeigt an, daß die in den Empfangs-FIFO geschriebenen Daten die momentane Größe des Empfangs-FIFO erreicht haben. Auf den Schritt 22 folgt im Schritt 23 das Lesen des Registers RBC (Receive Block Count), in dem die Anzahl der vom Mikroprozessor 4 aus dem Empfangs-FIFO zu lesenden Daten eingetragen

ist. Im Falle von Schritt 23 entspricht dies der Position des empfangenen ältesten Datenbytes, das das Ende eines Datenrahmens anzeigt. Im alternativen Fall folgt auf den Schritt 24 ein Schritt 25, in dem ebenfalls das Register RBC gelesen wird. In diesem Fall ist im Register RBC die momentane Größe des Empfangs-FIFO eingetragen.

In Schritt 26 liest der Mikroprozessor 4 den FIFO soweit aus, wie es der aus dem Register RBC gelesene Wert anzeigt. Im Falle eines Interrupts RME liest der Mikroprozessor 4 daher alle Bytes bis und einschließlich des das Rahmenende anzeigenden Byte.

Im Falle des Interrupt RPF liest der Mikroprozessor 4 alle Bytes aus dem Empfangs-FIFO. Nachdem die Daten gelesen sind, schreibt der Mikroprozessor 4 in einem Schritt 27 in ein Register RFBS (Receive FIFO Block Size) in der Empfangszugriffssteuerung 2 die Größe des für den weiteren Datenempfang im Empfangsspeicher 1 zur Verfügung stehenden Empfänger-FIFO. In einem darauf folgenden Schritt 28 bestätigt der Mikroprozessor 4 der Empfangszugriffssteuerung 2, daß die Daten empfangen sind. Dies erfolgt mit dem Signal RMC (Receive Message Complete). Die Mikroprozessorroutine von Figur 2 endet mit dem Schritt 29.

Figur 3 zeigt den zeitlichen Ablauf der Signale zwischen einem HDLC-Empfänger 3 und einem Mikroprozessor 4 für den Empfang von Daten. Zunächst löst der HDLC-Empfänger 3 beim Mikroprozessor 4 einen Interrupt Int aus. In dem in Figur 3 dargestellten Fall ist eine sehr kleine FIFO-Größe eingestellt, so daß ein Interrupt in der Form eines RPF (Receive Pool Full) 24 ausgelöst wird. Nachdem der Mikroprozessor 4 in Schritt 25 die zu lesende Datenmenge ermittelt hat, liest er die Daten 31 aus dem Empfänger-FIFO des HDLC-Empfängers 3. Der Mikroprozessor 4 verarbeitet die empfangenen Daten 31, die im angegebenen Beispiel den Anfang eines D-Kanalrahmens darstellen, und erzeugt ein Antwortsignal, das an den ferner

Teilnehmer gesendet werden soll. Dazu ermittelt der Mikroprozessor 4 den Status des HDLC-Senders 6, indem letzterer das Signal Stat an den Mikroprozessor 4 sendet. Der HDLC-Sender 6 zeigt damit an, daß er bereit ist, Daten vom Mikroprozessor 4 zu empfangen. Der Mikroprozessor 4 sendet die vorbereiteten Antwortdaten 32 an den HDLC-Sender und bestätigt dem HDLC-Sender 6 die gesendeten Daten 32 mit einem Signal Ack. Der HDLC-Sender 6 gibt dann die Sendedaten 32 auf die HDLC-Sendeleitung 7.

10

Nachdem der Mikroprozessor 4 die relativ kleine Datenmenge 31 eines langen D-Kanalrahmens vom HDLC-Empfänger 3 empfangen hat, befiehlt der Mikroprozessor 4 dem HDLC-Empfänger 3, die Größe des Empfänger-FIFO zu verändern. Der Mikroprozessor 4 sendet dazu den neuen Wert der Größe des Empfänger-FIFO mittels des Signals RFBS. Im gezeigten Fall von Figur 3 wird die Größe des Empfänger-FIFO auf die Maximalgröße von 32 Bytes eingestellt. Nachdem der Mikroprozessor 4 das Signal RFBS gesendet hat, bestätigt er den Empfang der Daten 31 mittels eines Signal Ack, das in Figur 2 durch das Signal RMC in Schritt 25 dargestellt ist.

20

Der HDLC-Empfänger 3 sendet im weiteren Verlauf ein weiteres Interrupt-Signal Int in der Form RPF, um anzuzeigen, daß der Empfänger-FIFO erneut voll ist. Der Mikroprozessor 4 liest die im Empfänger-FIFO enthaltenen Daten 33 und bestätigt das Lesen dieser Daten mit einem Signal Ack in der Form RMC. Der Mikroprozessor 4 hat nach Übernahme der Daten 33 den Schritt 27 von Figur 2 übersprungen, weil eine Änderung der gerade eingestellten Größe des Empfänger-FIFO nicht durchgeführt werden soll.

25

30

Der Mikroprozessor 4 entscheidet anhand der bereits empfangenen Daten, ob eine Veränderung der Größe des Empfänger-FIFO erforderlich ist oder nicht. Typischerweise wird der Mikroprozessor 4 nach einer längeren Pause auf Empfängerseite die Größe des Empfänger-FIFO auf einen minimalen Wert einstellen.

35

Dadurch wird sichergestellt, daß ungeachtet dessen, ob der nächste empfangene D-Kanalrahmen sehr lang oder sehr kurz ist, in jedem Fall frühzeitig eine Antwort an den fernen Teilnehmer ausgegeben werden kann. Wenn die ersten Bytes eines D-Kanalrahmens beim Mikroprozessor 4 eingetroffen sind (die Länge des D-Kanalrahmens ist in den ersten Bytes des Rahmens enthalten), stellt der Mikroprozessor 4 die Größe des Empfänger-FIFO auf eine maximale Größe. Dadurch wird sichergestellt, daß die verbleibenden Daten des langen D-Kanalrahmens mit einer möglichst geringen Anzahl von Interrupt-Signalen an den Mikroprozessor 4 übergeben werden können. Dies ist mit den empfangenen Datenblöcken 33 und 35 in Figur 3 dargestellt. Sendeseitig sendet der Mikroprozessor 4 große Datenblöcke 34 und 36 an den HDLC-Sender 6.

Die Figuren 4a bis 4e veranschaulichen das Zusammenwirken des Empfangsspeichers 1 mit der Empfangszugriffssteuerung 2 und den Austausch von Signalen mit dem Mikroprozessor 4. In Figur 4a ist eine Größe des Empfänger-FIFO von 4 Byte eingestellt. Die vom HDLC-Empfänger 3 empfangenen Daten übersteigen diese Grenze, so daß die Empfangszugriffssteuerung 2 beim Mikroprozessor 4 einen Interrupt in der Form des Signals RPF auslöst. Der Mikroprozessor 4 liest die vier Bytes aus dem vollen Empfänger-FIFO und sendet zunächst das Signal RFBS = 16 Bytes und anschließend das Signal RMC (Receive Message Complete) an die Empfängerzugriffssteuerung 2 (dargestellt durch einen gestrichelten Pfeil zwischen den Figuren 4a und 4b).

Der HDLC-Empfänger 3 schreibt weitere Daten in den Empfangsspeicher 1, so daß dieser erneut über die nun eingestellte Größe des Empfänger-FIFO von 16 Bytes gefüllt ist. Wie in Figur 4c dargestellt, löst die Empfangszugriffssteuerung 2 erneut einen Interrupt RPF beim Mikroprozessor 4 aus. Der Mikroprozessor 4 liest die 16 Bytes aus dem Empfänger-FIFO und bestätigt der Empfangszugriffssteuerung 2 mittels des Signals RMC den Empfang der Daten (dargestellt durch gestrichelten Pfeil zwischen den Figuren 4c und 4d).

Innerhalb der unverändert eingestellten Größe des Empfänger-FIFO von 16 Bytes befinden sich nun die Rahmenendebytes 41, 42 und 43 (siehe Figur 4d). Die Rahmenendebytes 41, 42 und 43 zeigen jeweils das Ende eines D-Kanalrahmens an. Die Empfangszugriffssteuerung 2 erkennt das Vorliegen des zuerst eingegangenen Rahmenendebytes 41 innerhalb der noch gültigen Größe des Empfänger-FIFO von 16 Bytes und löst beim Mikroprozessor 4 mittels des Signals RME (Receive Message End) einen Interrupt aus. Nach Empfang des D-Kanalrahmens, dessen Ende durch das Rahmenendebyte 41 angezeigt wird, löst die Empfangszugriffssteuerung 2 beim Mikroprozessor 4 einen weiteren Interrupt RME aufgrund des nun vorliegenden Rahmenendebytes 42 aus. Letzteres ist in Figur 4e dargestellt.

Figur 5 zeigt eine Mikroprozessorroutine, um Daten in den Sende-FIFO zu schreiben. Die Routine beginnt mit dem Schritt 51. Im Schritt 52 teilt die Sendezugriffssteuerung 8 dem Mikroprozessor 4 mittels eines Interrupt XPR (Transmit Pool Ready) mit, daß der Sende-FIFO bereit ist, neue Daten aufzunehmen. Alternativ dazu kann der Mikroprozessor 4 von sich aus im Schritt 53 das Statusregister STAR lesen, um die Schreibberechtigung anhand des Bits XFW (Transmit FIFO Write) zu prüfen. Ist das Bit XFW auf 0 gesetzt, so können noch keine weiteren Daten geschrieben werden und die Routine verzeigt zurück an den Anfang 51. Mit dem gesetzten Bit XFW = 1 wird angezeigt, daß eine Schreibberechtigung vorliegt:

Sowohl im Falle des Interrupt XPR von Schritt 52 als auch im Falle des gesetzten Bits XFW von Schritt 54 schreibt der Mikroprozessor 4 anschließend in Schritt 5 Daten in den Sende-FIFO. In Schritt 56 kann der Mikroprozessor 4 die Größe des Sende-FIFO einstellen, indem ein Register XFBS (Transmit FIFO Blocksize) entsprechend beschrieben wird. Der Schritt 56 ist, wie auch der Schritt 27 von Figur 2 in der Empfangsrichtung, optional und kann übersprungen werden. In Schritt 57 bestätigt der Mikroprozessor der Sendezugriffssteuerung 8 das Sen-



den von Daten in den Sende-FIFO mittels eines Signals XME (Transmit Message End). Die Mikroprozessorroutine von Figur 5 endet mit dem Schritt 58.

- 5 In ähnlicher Weise wie in Empfangsrichtung kann auch in Sende-  
richtung die Größe des Sende-FIFO dargestellt werden. Dies  
erlaubt die Optimierung der Größe des Sende-FIFO abhängig von  
der Größe der zu sendenden D-Kanalrahmen. Die Anzahl ausgelö-  
ster Interrupts XPR in Schritt 52 und die Anzahl erforderli-  
10 cher Prüfungen des Bits XFW in Schritt 54 können auf diese  
Weise minimiert werden. Der Prozessor wird damit weiter ent-  
lastet.

- Eine große Zahl von Interrupts verursacht bei einem Mikropro-  
15 zessor einen hohen Verabreichungsaufwand, da nach Eingang ei-  
nes Interrupts der gerade beim Mikroprozessor vorliegende  
Verarbeitungstatus gesichert werden muß, um nach Bearbeitung  
des Interrupts an dieser Stelle fortfahren zu können. Da die  
durch den Empfang von D-Kanaldaten ausgelösten Interrupts RME  
20 und RPF eine hohe Priorität haben, belastet eine große Anzahl  
solcher Interrupts die Leistungsfähigkeit des Mikroprozessor  
4, der neben der D-Kanalverarbeitung noch eine Vielzahl wei-  
terer Aufgaben erledigen muß. Die Erfindung erlaubt die Opti-  
mierung der Größe des Empfänger-FIFO und des Sende-FIFO an-  
25 hängig von der Größe der empfangenen D-Kanalrahmen bzw. der  
zu sendenden D-Kanalrahmen. Die Anzahl ausgelöster Interrupts  
RPF, RME bzw. XPR kann somit auf ein erforderliches Minimum  
reduziert werden. Gleichzeitig wird sichergestellt, daß die  
Erfordernisse kurzer Antwortzeiten nach Empfang des Anfangs  
30 eines D-Kanalrahmens eingehalten werden, indem vorübergehend  
eine entsprechend kleine Größe des Empfänger-FIFO eingestellt  
ist.

## Patentansprüche

1. Verfahren zum Übertragen von digitalen Daten, die in Datenrahmen variabler Länge eingeteilt sind, von einem ersten  
5 Datenbus (5) auf einen zweiten Datenbus, der asynchron zum ersten Datenbus betrieben wird und von einem Mikroprozessor (4) gesteuert wird, wobei das Verfahren die folgenden Schritte aufweist:

10 die Daten werden vom ersten Datenbus in einen Speicher (1) mit einstellbarer Größe geschrieben;

eine Speichersteuereinheit (2) teilt dem Mikroprozessor (4) in der Form eines Interrupt mit, wenn der Speicher (2) voll  
15 ist (24) oder wenn das Ende eines Datenrahmens erreicht ist (22);

der Mikroprozessor ermittelt (23, 25) von der Speichersteuereinheit (2) die Menge der vom Speicher (1) zu lesenden Daten;

20 der Mikroprozessor liest (26) die Daten aus dem Speicher (1);

der Mikroprozessor stellt die Größe des Speichers (1) ein (27); und

25 der Mikroprozessor bestätigt (28) der Speichersteuereinheit (2) den Empfang des Datenblocks.

2. Verfahren nach Patentanspruch 1,  
30 d a d u r c h g e k e n n z e i c h n e t , d a ß die Daten vom ersten Datenbus vor dem Schritt des Speicherns einer HDLC-Logik (3) zugeführt werden, die prüft, ob die Daten korrekt empfangen wurden.

35 3. Verfahren zum Übertragen von digitalen Daten, die in Datenrahmen variabler Länge eingeteilt sind, von einem ersten Datenbus, der von einem Mikroprozessor (4) gesteuert wird,

auf einen zweiten Datenbus (7), der asynchron zum ersten Datenbus betrieben wird, wobei das Verfahren die folgenden Schritte aufweist:

- 5    die Daten werden vom ersten Datenbus in einen Speicher (9) mit einstellbarer Größe geschrieben;

- 10    eine Speichersteuereinheit (8) teilt dem Mikroprozessor (4) in der Form eines Interrupt mit, wenn der Speicher bereit ist, neue Daten vom ersten Datenbus aufzunehmen, oder der Mikroprozessor befragt die Speichersteuereinheit (8), ob der Speicher (9) bereit ist, neue Daten vom ersten Datenbus aufzunehmen;

- 15    der Mikroprozessor schreibt (55) Daten in den Speicher (9);

der Mikroprozessor stellt die Größe des Speichers (9) ein (56);

- 20    der Mikroprozessor bestätigt (57) der Speichersteuereinheit (8) das Ende der Daten; und

die Daten werden auf den zweiten Datenbus (7) gelegt.

- 25    4. Verfahren nach Patentanspruch 3,  
dadurch gekennzeichnet, daß  
die Daten einer HDLC-Logik (6), die den Daten Fehlerprüfdaten hinzufügt, zugeführt werden, bevor sie auf den zweiten Datenbus (7) gelegt werden.

30

5. Anordnung zum Übertragen von digitalen Daten, die in Datenrahmen variabler Länge eingeteilt sind, von einem ersten Datenbus (5) auf einen zweiten Datenbus, der asynchron zum ersten Datenbus betrieben wird und von einem Mikroprozessor  
35    (4) gesteuert und gelesen wird, wobei die Anordnung aufweist:

einen Speicher (1), in den die vom ersten Datenbus (5) empfangenen Daten geschrieben werden;

5 eine Steuereinrichtung (2) zum Steuern der Zugriffe auf den Speicher durch den ersten Datenbus (5) und den Mikroprozessor (4);

d a d u r c h g e k e n n z e i c h n e t , d a ß

10 die Größe des Speichers (1) veränderbar ist;

ein erstes Register vorgesehen ist, in das die Größe des Speichers (1) eintragbar ist; und

15 ein zweites Register vorgesehen ist, in das die Menge der gerade in den Speicher geschriebenen Daten eintragbar ist,

wobei das erste Register in jedem Lesezyklus des Mikroprozessors (4) veränderbar ist.

20

6. Anordnung nach Patentanspruch 6,  
g e k e n n z e i c h n e t d u r c h  
eine HDLC-Logik (3), die zwischen den ersten Datenbus (5) und den Speicher (1) geschaltet ist.

## Zusammenfassung

Es ist ein Verfahren zum Übertragen von digitalen Daten, die in Datenrahmen variabler Länge enthalten sind, von einem ersten Datenbus auf einen zweiten Datenbus, der asynchron zum ersten Datenbus betrieben und von einem Mikroprozessor gesteuert wird, offenbart. Das Verfahren weist die folgenden Schritte auf: Die Daten werden vom ersten Datenbus in einen Speicher mit einstellbarer Größe geschrieben. Eine Speichersteuereinheit teilt dem Mikroprozessor in der Form eines Interrupt mit, wenn der Speicher voll ist oder wenn das Ende eines Datenrahmens erreicht ist. Der Mikroprozessor ermittelt von der Speichersteuereinheit die Menge der vom Speicher zu lesenden Daten, liest die Daten aus dem Speicher, und stellt die Größe des Speichers ein. Der Mikroprozessor bestätigt schließlich der Speichersteuereinheit den Empfang des Datenblocks.

Figur 2

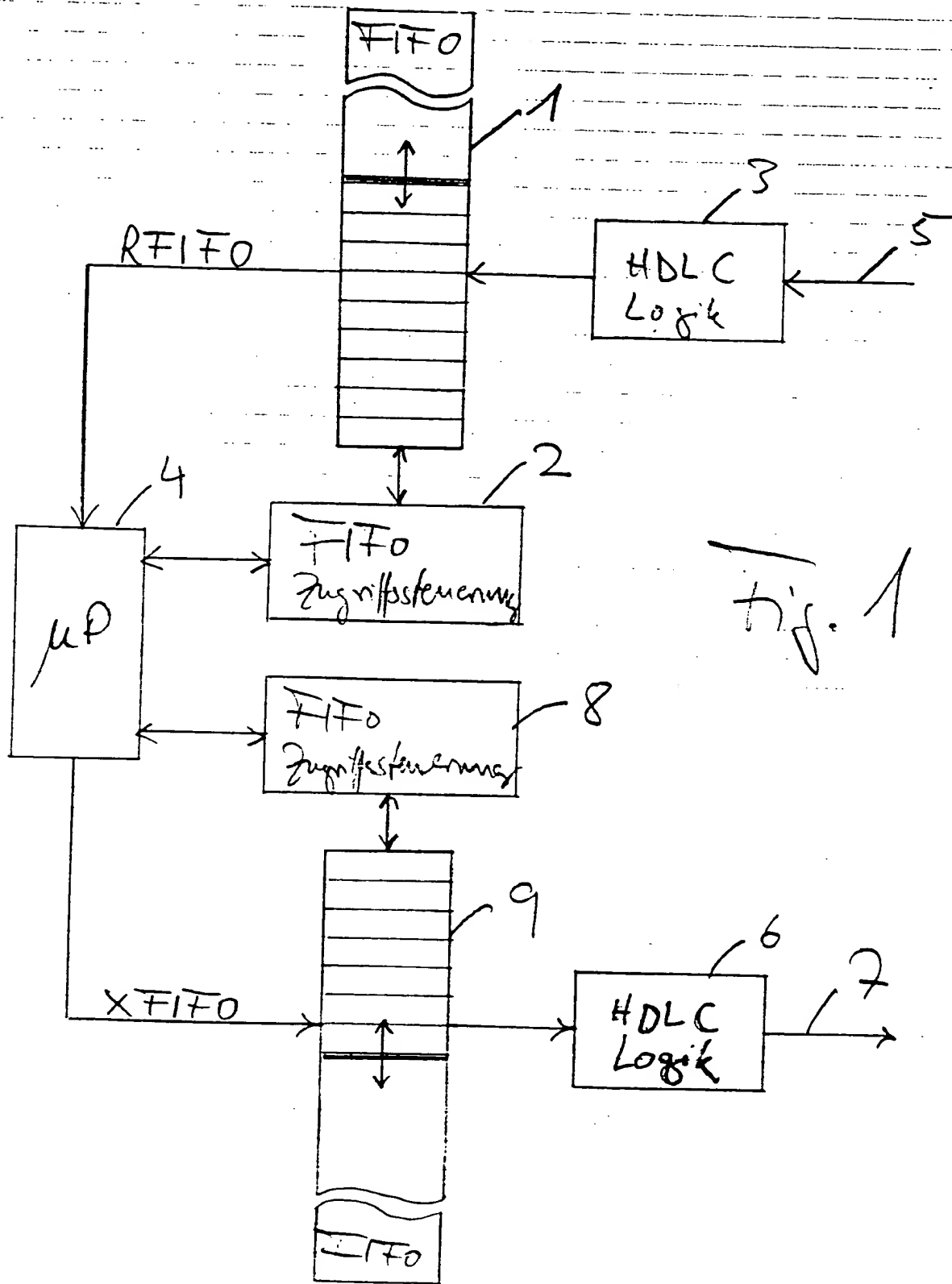


Fig. 1

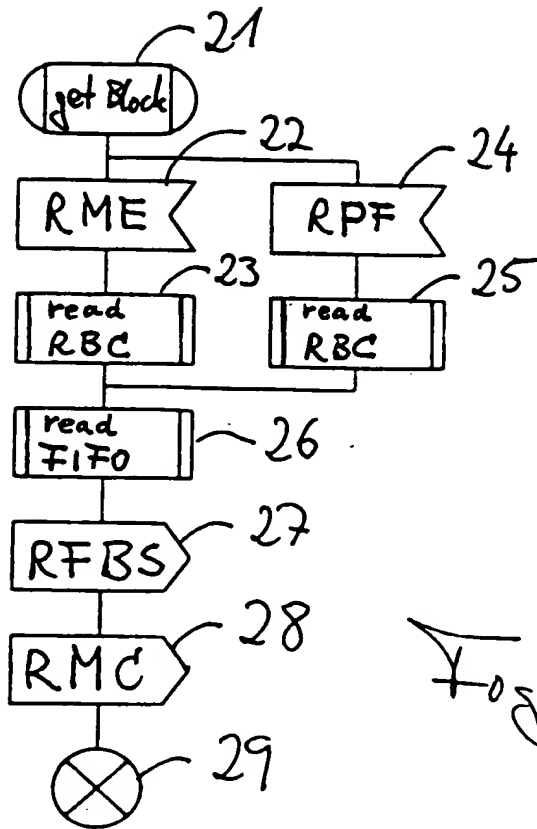


Fig. 2

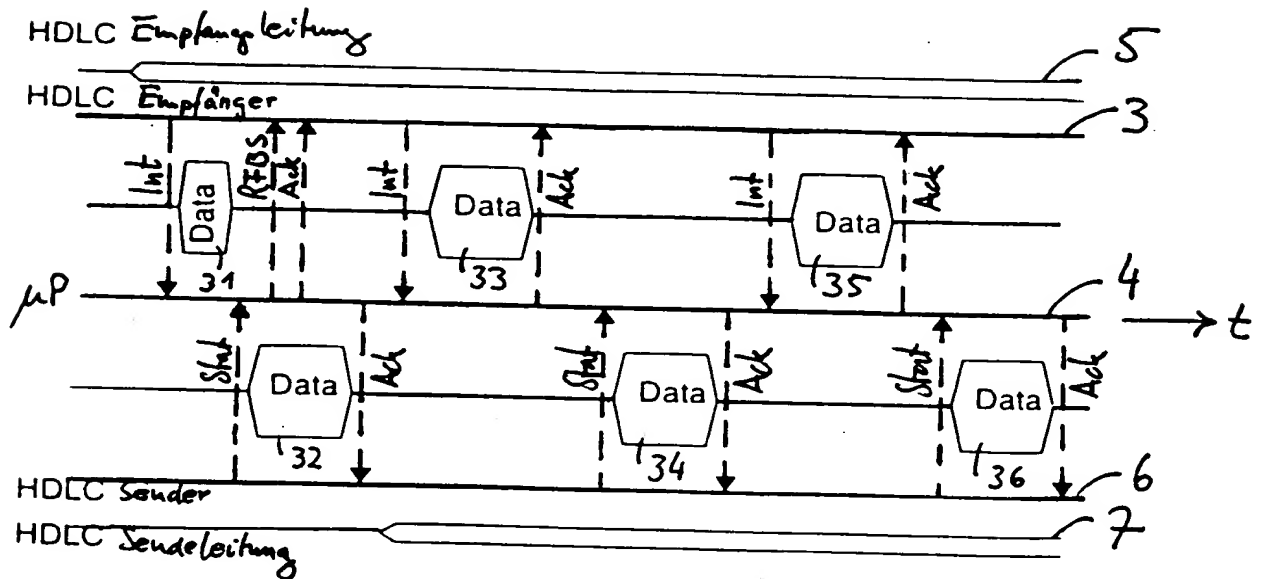
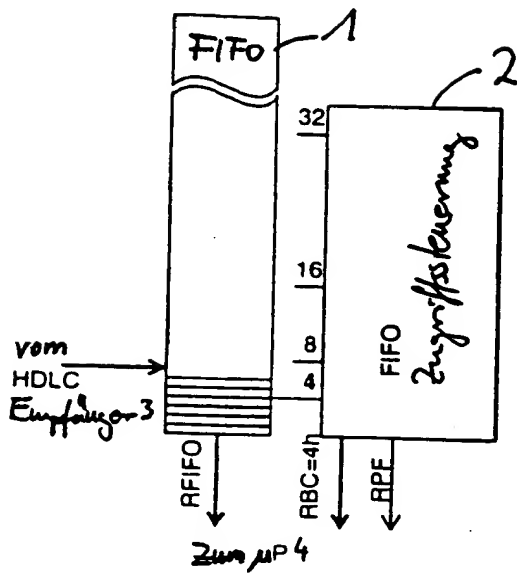
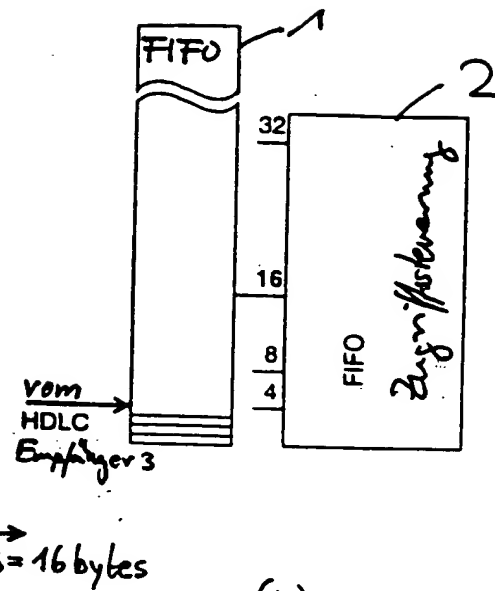


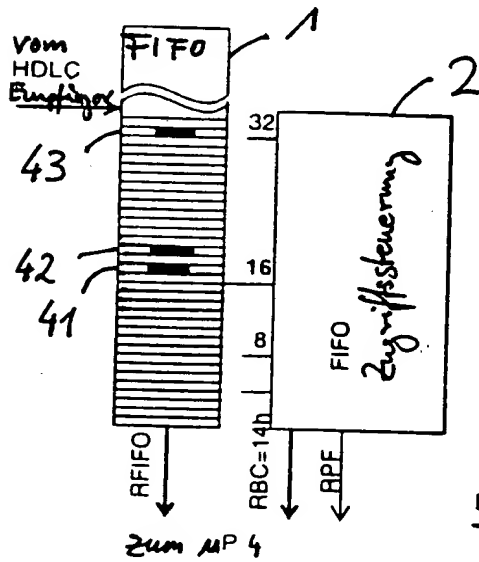
Fig. 3



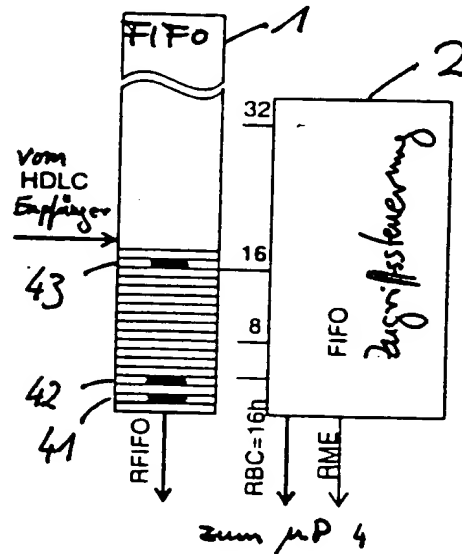
(a)



(b)

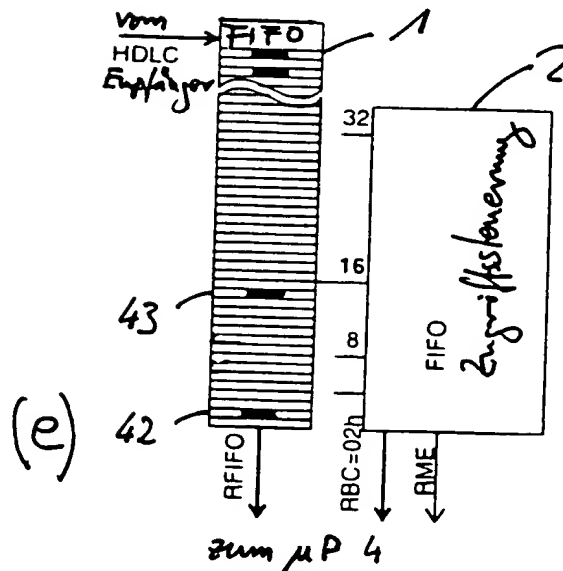


(c)



(d)

Fog. 4



(e)



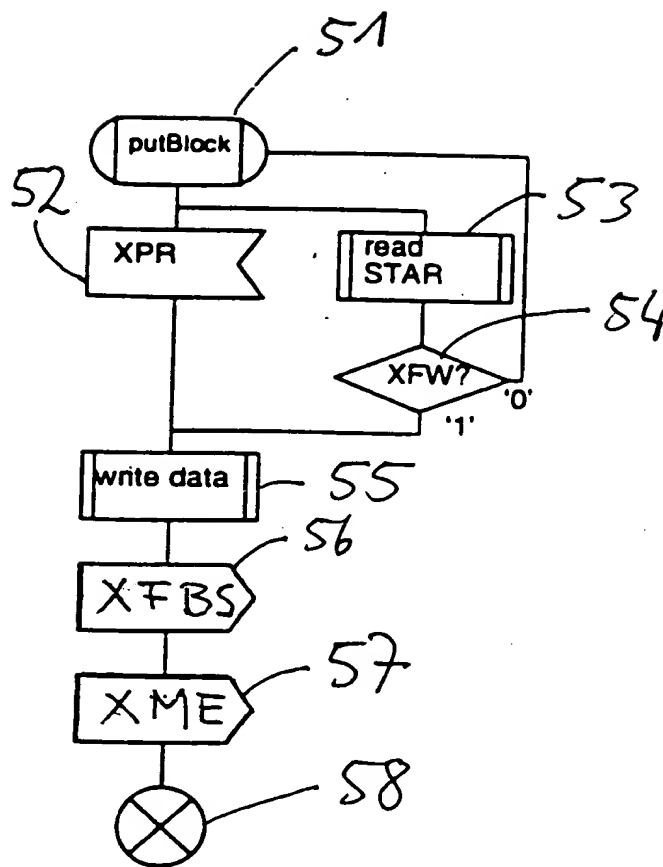


Fig. 5

Fig. 6(a)

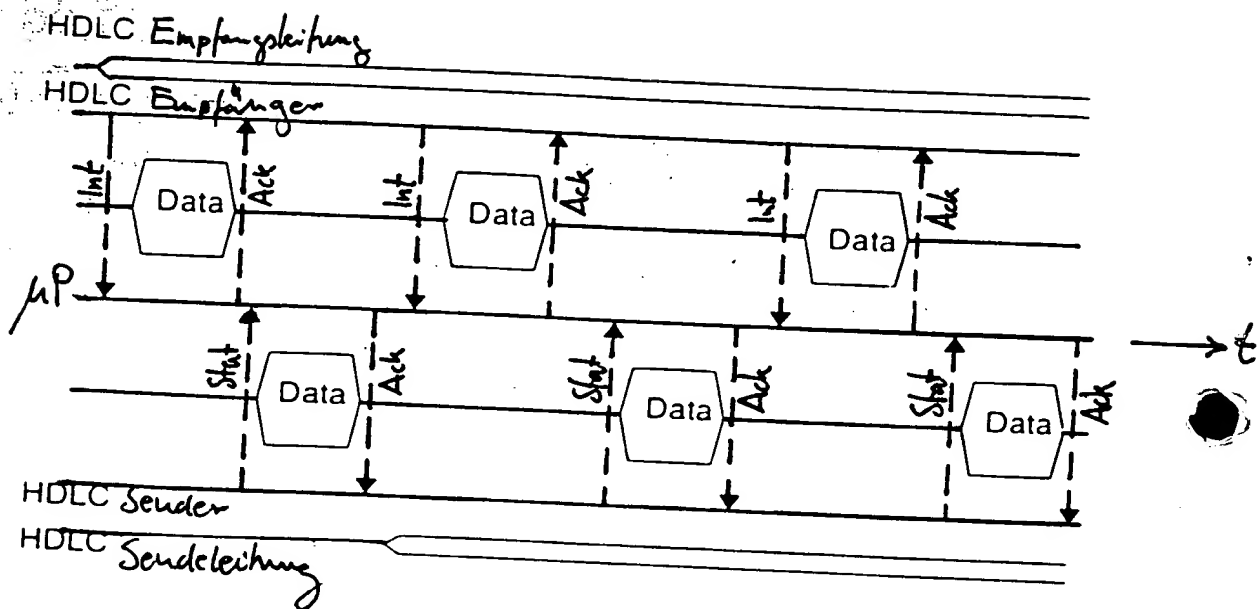
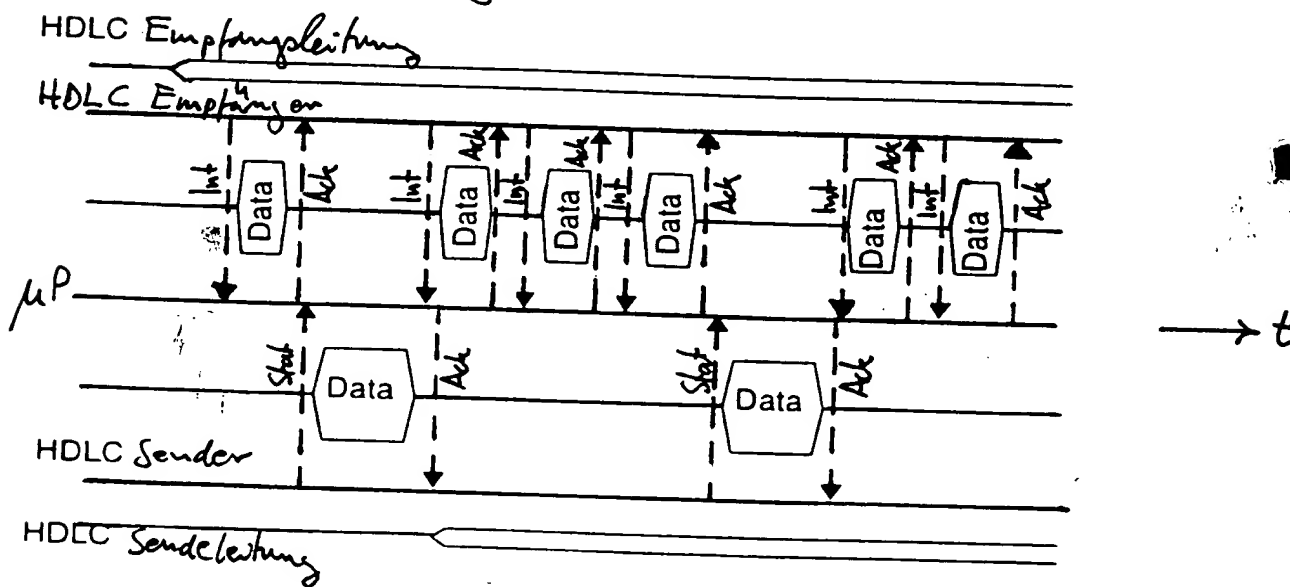


Fig. 6(b)



Docket # GR98P2610

Applic. # 09/398,689

Applicant: mrasek

Lerner and Greenberg, P.A.  
Post Office Box 2480  
Hollywood, FL 33022-2480  
Tel: (954) 925-1100 Fax: (954) 925-1101